

11802

11802



)

)

$$\vdots$$

)

:

)

)

)

10

fe

op:

ter

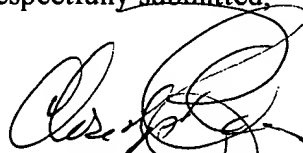
ter

ch

gus

Applicants' undersigned attorney may be reached in our Washington, D.C. office by telephone at (202) 530-1010. All correspondence should continue to be directed to our below listed address.

Respectfully submitted,



Attorney for Applicants

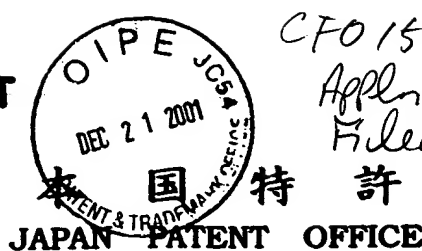
Registration No. 32,078

FITZPATRICK, CELLA, HARPER & SCINTO
30 Rockefeller Plaza
New York, New York 10112-3801
Facsimile: (212) 218-2200

CPW\gmc

DC_MAIN 82224 v 1

CLIFIED COPY OF
PRIORITY DOCUMENT



CF015824 US/sei
Appl. No. 09/960,743
Filed: 09-24-2001
Group-2824

日 本 国 特 許 庁

JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出 願 年 月 日

Date of Application: 2000年 9月27日

出 願 番 号

Application Number: 特願2000-294255

出 願 人

Applicant(s): キヤノン株式会社

2001年10月19日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-309197

【書類名】 特許願

【整理番号】 4266088

【提出日】 平成12年 9月27日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 11/02
G11C 11/15

【発明の名称】 磁気抵抗効果を用いた不揮発固体メモリ素子、メモリおよびその記録再生方法

【請求項の数】 13

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号キャノン株式会社
内

【氏名】 西村 直樹

【特許出願人】

【識別番号】 000001007

【住所又は居所】 東京都大田区下丸子3丁目30番2号

【氏名又は名称】 キャノン株式会社

【代表者】 御手洗 富士夫

【電話番号】 03-3758-2111

【代理人】

【識別番号】 100090538

【住所又は居所】 東京都大田区下丸子3丁目30番2号キャノン株式会社
内

【弁理士】

【氏名又は名称】 西山 恵三

【電話番号】 03-3758-2111

【選任した代理人】

【識別番号】 100096965

【住所又は居所】 東京都大田区下丸子3丁目30番2号キャノン株式会

社内

【弁理士】

【氏名又は名称】 内尾 裕一

【電話番号】 03-3758-2111

【手数料の表示】

【予納台帳番号】 011224

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9908388

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 磁気抵抗効果を用いた不揮発固体メモリ素子、メモリおよびその記録再生方法

【特許請求の範囲】

【請求項 1】 基板上に第 1 磁性層と、非磁性層と、第 2 磁性層とが、順に積層されてなり、抵抗が該第 1 磁性層と該第 2 磁性層の磁化の相対角度によって異なる磁気抵抗素子と、該磁気抵抗素子の上部に設けられたビット線と、前記第 1 磁性層または第 2 磁性層の磁化方向を電流によって発生する磁界により変化させる書き込み線と、電界効果トランジスタからなるメモリ素子において、前記電界効果トランジスタのソース領域に接続されたソース電極線が、少なくとも一つの前記書き込み線を兼ねることを特徴とするメモリ素子。

【請求項 2】 前記非磁性層が絶縁体からなることを特徴とする請求項 1 に記載のメモリ素子。

【請求項 3】 請求項 1 に記載されたメモリ素子を前記基板上にマトリックス状に配置したことを特徴とするメモリ。

【請求項 4】 前記第 1 磁性層および前記第 2 磁性層の磁化容易軸方向が膜面内方向であることを特徴とする請求項 1 に記載のメモリ素子。

【請求項 5】 前記第 1 磁性層および前記第 2 磁性層の磁化容易軸方向が膜面垂直方向であることを特徴とする請求項 1 に記載のメモリ素子。

【請求項 6】 前記電界効果トランジスタのドレイン領域上に自己整合的に形成されたドレイン電極の上に、前記磁気抵抗素子が配置されていることを特徴とする請求項 1 に記載のメモリ素子。

【請求項 7】 前記ドレイン電極が前記ドレイン領域面積の 50 パーセント以上を占めることを特徴とする請求項 6 に記載のメモリ素子。

【請求項 8】 隣接するメモリ素子で、前記ソース領域が共有化されていることを特徴とする請求項 5 に記載のメモリ素子。

【請求項 9】 前記第 1 磁性層もしくは前記第 2 磁性層が、希土類鉄族合金からなることを特徴とする請求項 5 に記載のメモリ素子。

【請求項 10】 前記希土類鉄族合金のうち、希土類元素が、Gd、Tb、Dyの

うち、少なくとも一種の元素を含み、鉄族元素がFe、Coのうち、少なくとも一種の元素を含むことを特徴とする請求項9に記載のメモリ。

【請求項11】 前記第1磁性層と前記非磁性層との間と、前記第2磁性層と前記非磁性層との間の少なくとも一方に、Fe、Coのうち、少なくとも一つの元素を含む磁性層が設けられていることを特徴とする請求項9に記載のメモリ。

【請求項12】 請求項3に記載されたメモリを用いて、前記書き込み線を兼ねたソース電極線に電流を流して、前記磁気抵抗素子の磁化状態を変化させて情報の記録を行うことを特徴とする記録方法。

【請求項13】 請求項3に記載されたメモリを用いて、前記書き込み線を兼ねたソース電極線を一定電位に設定して、前記ビット線に現れる前記磁気抵抗素子の抵抗値に対応した電位を測定することによって、前記メモリに記録された情報を検出することを特徴とする再生方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、磁気抵抗膜を用いた不揮発の固体メモリに関するものである。

【0002】

【従来の技術】

磁性薄膜メモリ（MRAM）は半導体メモリと同じく稼働部のない固体メモリであるが、電源が断たれても情報を失わない、繰り返し書換回数が無限回、放射線が入射しても記録内容が消失する危険性がない等、半導体メモリと比較して有利な点がある。特に近年、スピントネル効果（TMR）を利用した磁性薄膜メモリは、従来から提案されている異方性磁気抵抗効果もしくは、スピン散乱型の巨大磁気抵抗効果（GMR）を用いた磁性薄膜メモリと比較して大きな出力が得られるため注目されている。

【0003】

例えば、Roy Scheuerlein et. al らによって、ISSCC2000（IEEE International Solid-State Circuits Conference 2000年）P128に、図8に示したような電界効果トランジスタとハイブリッド化したMRAMデバイス構造が開示され

ている。電界効果トランジスタとハイブリッド化しているのは、マトリックス状に多数のメモリセルを配置した場合に、再生時に各メモリセルを効率的に選択するためである。この素子では、ソース領域2とドレイン領域3、ゲート線4からなる電界効果トランジスタの、ドレイン領域3にプラグ電極5、下部電極14を介して、磁気抵抗膜9が接続され、さらにその上部にビット線6が接続されている。

【 0 0 0 4 】

記録する際には、書き込み線10に電流を流して発生する磁界を磁気抵抗膜9に印加して行う。また、磁気抵抗膜9の抵抗値を検出する際には、ゲート電極4に電位をかけて電界効果トランジスタをオンにして、トンネル障壁膜を電流が流れるように電流を膜面垂直方向に流す。このとき、ソース領域2に設けられたソース電極12は固定電位となり、ビット線6には、磁気抵抗膜9の抵抗値に応じた電位が発生するので、この電位を検出することで、情報の再生を行う。

【 0 0 0 5 】

図9に、このデバイスを、1個のトランジスタと1個の磁気抵抗素子で1ビットの記録を行う際の回路構造を示した。ビット線B1～B3、ソース線（ソース電極線）S1～S3、ゲート線G1～G3、書き込み線W1～W3、磁気抵抗膜R11～R33が、マトリックス状に構成されている。1ビットのメモリセルに対して、ビット線、ソース線、ゲート線、書き込み線が各1本ずつあり、合計4本の線が設けられている。

【 0 0 0 6 】

また、アメリカ合衆国特許5940319では、同様に、図10に示したような、トランジスタと膜面内に磁化配向した磁気抵抗素子が接続されてメモリセルを形成するデバイスの構造が開示されている。回路構造を図11に示した。ここでS12、S34は共有化されたソース線である。この場合は、ソース領域が隣接のメモリセル間で共有化されているため、1ビットのメモリセルには、ビット線、ゲート線、書き込み線が各1本、ソース線が1ビット当たり0.5本となるので、計3.5本となる。

【 0 0 0 7 】

【発明が解決しようとする課題】

これら従来の電界効果トランジスタとハイブリッド化したMRAMにおいては、1つのメモリセルあたりの配線の本数が、3.5〜4本と多い。配線の本数が多いことは、デバイスの構造が複雑になることを示し、歩留まりの低下や、配線間のインピーダンスの増加によるスピードの低下をもたらしていた。

【0008】

【課題を解決するための手段】

本発明は、上記課題に鑑み、メモリセル1個当たりの配線本数を減らして、デバイス構造を簡略化すること、および、それにより、メモリ駆動のスピードを上げることが目的とする。そして上記目的は以下の構成により達成される。

(1) 基板上に第1磁性層と、非磁性層と、第2磁性層とが、順に積層されており、抵抗が該第1磁性層と該第2磁性層の磁化の相対角度によって異なる磁気抵抗素子と、該磁気抵抗素子の上部に設けられたビット線と、前記第1磁性層または第2磁性層の磁化方向を電流によって発生する磁界により変化させる書き込み線と、電界効果トランジスタからなるメモリ素子において、前記電界効果トランジスタのソース領域に接続されたソース電極線が、少なくとも一つの前記書き込み線を兼ねることを特徴とするメモリ素子。

(2) 前記非磁性層が絶縁体からなることを特徴とする上記(1)に記載のメモリ素子。

(3) 上記(1)に記載されたメモリ素子を前記基板上にマトリックス状に配置したことを特徴とするメモリ。

(4) 前記第1磁性層および前記第2磁性層の磁化容易軸方向が膜面内方向であることを特徴とする上記(1)に記載のメモリ素子。

(5) 前記第1磁性層および前記第2磁性層の磁化容易軸方向が膜面垂直方向であることを特徴とする上記(1)に記載のメモリ素子。

(6) 前記電界効果トランジスタのドレイン領域上に自己整合的に形成されたドレイン電極の上に、前記磁気抵抗素子が配置されていることを特徴とする上記(1)に記載のメモリ素子。

(7) 前記ドレイン電極が前記ドレイン領域面積の50パーセント以上を占めることを特徴とする上記(6)に記載のメモリ素子。

(8) 隣接するメモリ素子で、前記ソース領域が共有化されていることを特徴とする上記(5)に記載のメモリ素子。

(9) 前記第1磁性層もしくは前記第2磁性層が、希土類鉄族合金からなることを特徴とする上記(5)に記載のメモリ素子。

(10) 前記希土類鉄族合金のうち、希土類元素が、Gd、Tb、Dyのうち、少なくとも一種の元素を含み、鉄族元素がFe、Coのうち、少なくとも一種の元素を含むことを特徴とする上記(9)に記載のメモリ。

(11) 前記第1磁性層と前記非磁性層との間と、前記第2磁性層と前記非磁性層との間の少なくとも一方に、Fe、Coのうち、少なくとも一つの元素を含む磁性層が設けられていることを特徴とする上記(9)に記載のメモリ。

(12) 上記(3)に記載されたメモリを用いて、前記書き込み線を兼ねたソース電極線に電流を流して、前記磁気抵抗素子の磁化状態を変化させて情報の記録を行うことを特徴とする記録方法。

(13) 上記(3)に記載されたメモリを用いて、前記書き込み線を兼ねたソース電極線を一定電位に設定して、前記ビット線に現れる前記磁気抵抗素子の抵抗値に対応した電位を測定することによって、前記メモリに記録された情報を検出することを特徴とする再生方法。

【0009】

【発明の実施の形態】

以下、図面を用いて本発明の実施形態について説明する。

【0010】

図1に、本発明のメモリの断面構造を示す。なお、記号の記載の無い部分は、基本的に絶縁体部分を示す。半導体基板1には、ソース領域2、ドレイン領域3が形成され、さらに絶縁膜を介してゲート電極4が形成され、これらでMOS (Metal-Oxide-Semiconductor) -FET (Field Effect Transistor; 電界効果型トランジスタ) が構成されている。各電界効果トランジスタ間は、LOCOSフィールド酸化膜領域11によって、電気的に分離されている。

【0011】

電界効果トランジスタのドレイン領域3には、プラグ電極5、下部電極14を介し

て、膜面内方向に磁化した磁気抵抗膜9が接続され、さらにビット線6が接続されている。ソース電極12には、書き込み線10が設けられている。図1においては、ソース電極12と書き込み線10は各々独立したもののよう描かれているが、これらは電氣的に接続されており、一体化したものである。すなわち、書き込み線10とソース電極12を同じ材料を用いて、同一のものとして成膜しパターンニングしてもよい。またそれぞれの機能にあわせて異なる材料を用いてもよい。

【0012】

書き込み線は磁気抵抗膜9の近傍に、絶縁体を介して設けられている。書き込み線10、ゲート線4は、紙面の垂直方向に、ビット線は紙面の平面方向に伸びている。

【0013】

また、書き込み線には、磁気抵抗素子の磁化反転に必要な磁界が発生するように、比較的大きな電流を流すことが必要となるために、高電位が書き込み線に加わることになる。その際には電界効果トランジスタのソース電極に高い電位を印加されることになるがゲート電極の電位を制御することによってトランジスタは、オフ状態を持続し、磁気抵抗膜に電流が流れないようにする。加えて記録再生時に書き込み線に電流を流す場合においてもトランジスタ側に電流が流れないようにすることが望ましく、この際においてもトランジスタがオフ状態となるように、ゲート電極の電位を制御する。

【0014】

回路上の動作について図2を参照して説明する、図2はメモリセルをマトリックス配置したメモリアレイの回路図である。中央の電界効果トランジスタ(T22)と磁気抵抗膜(R22)から構成されたメモリセルにおいて、ビット線B2は、セル中の磁気抵抗素子(R22)の片方の端子に接続され、センスアンプ(SA)の一方の端子に接続されている。磁気抵抗素子(R22)のもう一方の端子は電界効果型トランジスタ(T22)のドレイン端子に接続されている。またソース電極端子は再生時には接地され、記録時には、電圧が印加される。

【0015】

ゲート線(G2)は、該電界効果型トランジスタ(T22)のゲート端子に接続

される。また、書き込み兼ソース線（SW2）は、ビット線と直交するように、磁気抵抗素子R22の近傍に配置される。

【0016】

次に記録再生方法について説明する。記録は書き込み線に電流を流すことによって発生する磁界を用いて、磁気抵抗膜の磁性層の磁化を情報に応じて配向させることによって行なう。書き込み線は紙面に対して垂直方向に電流が流れるように配置されている。例えば紙面に向かって電流を流すと、書き込み線に対して右回りに磁界が発生する。図1の構成では、磁気抵抗膜には、紙面に向かって右向きの磁界が印加される。この書き込み線と同時に、ビット線に電流を流す。このビット線に流れる電流によって、磁気抵抗膜の面内方向に磁界が印加される。書き込み線とビット線、各々からの複数のメモリセルに磁界が印加されるが、ビット線と書き込み線による合成磁界は、電流を流している書き込み線とビット線の交点に位置する磁気抵抗膜にしか印加されない。つまり、ビット線によって形成される膜面内方向への磁界によって、磁気抵抗膜の磁性膜の磁化の向きが反転する際の補助用磁界となり、書き込み線による磁界が前記磁性膜の保磁力よりも小さい場合においても磁化が反転することとなる。したがって電流を流すビット線と書き込み線を選択することによって、マトリックス状にメモリ素子が配置されている場合にも所定の素子に情報の記録を行うことが可能となるのである。書き込み線に流す電流の方向を変えれば、磁気抵抗膜には、上向き、下向きのどちらかの磁界が印加されるため、情報に応じて、磁気抵抗膜の磁化状態を決定することができる。

【0017】

また本発明のメモリ素子のソース電極は、書き込み線と一体化しているため、再生と記録の各々の場合において、書き込み線と一体化したソース電極は、電位の設定を変更する必要がある。すなわち、記録の場合は、書き込み線に一定電流が流れるように、高電位を書き込みの端部に設定する。より好ましくは、定電流回路を接続する。また再生時には、書き込み線は、ビット線に磁気抵抗素子の抵抗に応じた電位が発生するように、一定電位、例えば接地電位に設定する。

【0018】

記録された情報を読み出す方法としては、絶対検出方法と差動検出方法とがある。ここでは磁気抵抗膜としてスピントネル効果 (TMR) を利用したメモリを例にとって説明するがこれに限られるものではない。TMRは、トンネル絶縁膜をソフト層 (保磁力が小さい強磁性層) とハード層 (保磁力が大きい強磁性層) によって挟み、両層の磁化方向が平行な場合と、反平行の場合で、膜面垂直方向に電流を流した際の抵抗値の変化する現象を発現する。この現象を用いて、不揮発メモリとするものである。

【 0 0 1 9 】

まず絶対検出方法について説明する。この際の磁気抵抗膜の構成は「メモリ層 (第 1 磁性層) / 非磁性層 / ピン層 (第 2 磁性層)」であり、第 1 磁性層を磁化情報が保存されるメモリ層、第 2 磁性層を保存時、記録時、再生時のいずれの状態でも常に決められた一定の方向に磁化が配向したピン層とする。例えば、“0”、“1” のデータを、第 1 磁性層の磁化の向きにそれぞれ対応させる。記録は上述したように書き込み線に流す電流による発生磁界によって第 1 磁性層の磁化を反転させて行う。こうすれば、“0”、“1” の場合において抵抗値が異なるので、再生時は磁性層の磁化反転は行わずに抵抗の絶対値で情報の検出を行うことができる。このため、高速で、かつ、小さい消費電流で再生を行うことができる。磁化の向きに関してはどちらの向きを“0”もしくは“1”に対応させてもよい。

【 0 0 2 0 】

磁性層の材料としては、上述の希土類鉄族合金 (RE-TM) 材料を用いることができるが、ピン層である第 2 磁性層は、特に保磁力が高い TbFe、TbFeCo、DyFe、DyFeCoなどが望ましい。磁気異方性に関しては、膜面垂直方向あるいは面内方向、いずれに磁化容易軸を有してもよい。第 1 磁性層の保磁力は低すぎると、メモリ性能が劣化し、高すぎると記録電流が大きくなるので、50e 以上で 50 k0e 以下が望ましい。第 2 磁性層の保磁力は低すぎると記録再生時に磁化反転する恐れが生じ、高すぎるとスピンを一方向に配向させる初期化作業が困難であるため、200e 以上で 20 k0e 以下にすることが望ましい。また、第 1 磁性層の保磁力は第 2 磁性層の保磁力の半分程度にすることが望ましい。

次に差動検出方法について説明する。この際の磁気抵抗効果膜の構成は「検出層(第1磁性層)/非磁性層/メモリ層(第2磁性層)」であり、第2磁性層を磁化情報が保存されるメモリ層として、保磁力の小さい第1磁性層は、第2磁性層に保存された磁化情報を、磁気抵抗効果を利用して読み出す層である。例えば、“0”、“1”のデータを、第2磁性層の磁化の上向き、下向きにそれぞれ対応させる。記録は記録電流による発生磁界によって第2磁性層の磁化を反転させて行う。

【0021】

再生は、書き込み線に記録時よりも弱い電流、もしくは書き込み線を2本設けて1本の書き込み線にのみ電流を流すなどして、記録時よりも小さい磁界を発生させて、メモリ層の磁化は反転させずに検出層の磁化のみを反転させる。こうすれば、抵抗値が“0”の場合は小から大へ、“1”の場合は大から小に変化するので、抵抗値変化により記録情報を検出することができる。この方式では、抵抗値の絶対値を検出する方式に比べ、微分検出法等を用いて微少な信号変化でも検出できるため、検出感度のよい再生を行うことができる。なお、“0”、“1”のデータを第2磁性層の磁化を下向き、上向きに対応させても良い。

第1磁性層、第2磁性層の材料としては、RE-TM材料を用いることができるが、どちらの層も記録再生時に磁化反転させるため、より保磁力の低いGdFe、GdFeCoなどが望ましい。

第1磁性層の保磁力は低すぎると、再生信号が劣化し、高すぎると再生電流が大きくなるので、20e以上で200e以下が望ましい。第2磁性層の保磁力は低すぎるとメモリ性能が劣化し、高すぎると記録電流が高くなるので、50e以上で500e以下にすることが望ましい。また、第1磁性層の保磁力は第2磁性層の保磁力の半分程度にすることが望ましい。

次に本発明の記録再生方法を図2の回路図を参照して更に詳細に説明する。まず再生時にはビット線B2の左端に電源電圧Vddを印加し、ソース線SW2を接地し、ゲート線G2に電圧を印加してトランジスタT22をオン状態にすることで、R22に定常電流が流れ、ビット線B2の右端のセンスアンプ(SA)の端子に磁気抵抗素子R22の抵抗値に応じた電位が生じる。センスアンプSAのもう一方の端子には

、磁気抵抗素子R22の2つの抵抗値のうち、中間値に対応した電位を入力する。
これにより、Rref、R22のどちらが高抵抗かによってセンスアンプSAの出力がVddまたは0Vのどちらか一方が選択されることになり、これによって記録された情報を読み出すことが可能となる。

【0022】

記録時においては、R22に磁化を書き込むとすると、B2とSW2に電流を流し、2本の配線が交差する点において磁場が強め合い、R22の磁化を書き換える。このような操作によって、R22に情報を書き込むことができる。

【0023】

本発明のメモリ素子のソース電極線は、書き込み線と一体化している。このため、再生と記録の各々の場合において、書き込み線と一体化したソース電極線はの電位の設定を変更する。これを可能にするために、一体化したソース電極線と書き込み線の配線の末端には、再生の場合に接地電位、記録の場合に特定の高電位、例えば電源電圧、望ましくは定電流回路と、動作によって切り替わるスイッチが接続される。

【0024】

【実施例】

以下本発明の実施例に関して具体的に説明する。

【0025】

(実施例1)

図3に、本実施例で用いた本発明のメモリ構造の一例を示す。

本実施例においては、磁気抵抗膜に膜面垂直方向に磁化した磁性膜を用いている。このような磁性膜を用いた磁気抵抗膜の例として、第1磁性層と第2磁性層が絶縁層を挟んで、積層されたスピントンネル膜構成を呈するものを例にあげて詳細に説明する。

【0026】

磁性層の材料としては希土類元素(RE)と鉄族元素(TM)の合金がよく用いられ、具体的には、GdFe、GdFeCo、TbFe、TbFeCo、DyFe、DyFeCoなどが良い。また、これら以外に、PtCo、PdCoやCoCrなどを用いても良く、膜面垂直方向に主たる

磁化方向をもつものであればこれらに限られるものではない。しかし、希土類鉄族合金が、室温で非晶質を呈し、これにより結晶体を用いた場合にみられるような、粒界ノイズ等が無く電気ノイズが低減できるため、より望ましい。

【0027】

また、第1磁性層と絶縁層、第2磁性層と絶縁層の間には、抵抗変化率が大きく、第1磁性層もしくは第2磁性層と磁氣的に結合するような磁性層を挟むとより望ましい。このような磁性層の例としては、Fe、Co、FeCoなどが挙げられる。磁氣的な結合としては、交換結合と静磁結合があり、このどちらを用いても良いが、交換結合を用いるのがより望ましい。

【0028】

再生は電流を膜面に対して垂直に流し、トンネル現象によって第1磁性層から第2磁性層へ電子が移動することを利用して行なう。磁性膜中の伝導電子はそのスピンを保ったままトンネルするため、両磁性層の磁化状態によってトンネル確率が変わり、それがトンネル抵抗の変化となって現れる。磁気抵抗膜の積層方向の抵抗は、第1磁性層と該第2磁性層の磁化の相対角度によって異なる。具体的には、平行の場合は抵抗が小さく、反平行の場合は抵抗が大きくなる。また上向きスピンと下向きスピンの状態密度の差が大きい方がこの抵抗値は大きくなり、より大きな再生信号が得られるので、絶縁膜の上下の磁性層はスピン分極率の高い磁性材料を用いることが望ましい。例えば、フェルミ面における上下スピンの偏極量が大きいFe、Coなどを主成分とする磁性膜を用いるのが好ましい。

【0029】

また第1磁性層、第2磁性層の膜厚は、2nm以上、50nm以下であることが望ましい。これは、特にサブミクロンにメモリ素子を微細化した場合、第1磁性層、第2磁性層の体積が小さくなり、それに応じて各層の垂直磁気異方性エネルギーが低下し、各層の保磁力が低下するからである。これらの影響は2nm未満の磁性膜で顕著となるため、2nm以上が望ましくより望ましくは5nm以上が良い。また膜厚が厚すぎるとセルの抵抗値が大きくなりすぎる等の問題があるので、50nm以下が望ましい。

【0030】

非磁性層は、スピントネル構造の磁気抵抗膜においては電子がスピンを保持してトンネルするためには、絶縁層でなければならない。非磁性膜の全部が絶縁層であっても、その一部が絶縁層であってもよい。絶縁層としては非磁性金属膜を酸化させた酸化膜が好適に用いられる。物質としては例えばAl膜の一部を空気中もしくは真空中でプラズマ酸化により酸化させて Al_2O_3 層を形成するなどがある。他に、窒化アルミニウム AlN_x 、酸化シリコン SiO_x 、窒化シリコン SiN_x 、 NiO_x が例として挙げられる。好ましくは、酸化アルミニウム AlO_x がよい。これは、スピントネルがおきるには、第1磁性層と第2磁性層の伝導電子のエネルギーに、適切なポテンシャルバリアーが存在することが必要なためであるが、 AlO_x はこのバリアーを得ることが容易で、製造プロセスも簡易なものですむためである。非磁性層の膜厚は数nm程度であって、その絶縁部分の膜厚は0.5nm以上で3nm以下であることが望ましい。これは、0.5nm未満である場合、第1磁性層と第2磁性層が電氣的にショートしてしまう可能性があるからであり、3nmを超えると、電子のトンネル現象が起きにくくなるからである。さらに、望ましくは、1nm以上2.5nm以下であることが望ましい。

【0031】

また本実施例においては図3を参照すると明らかなように下部電極が存在しておらず磁気抵抗膜9と電界効果トランジスタのドレイン領域3とは、プラグ5のみで接続されている。なぜなら、本実施例においてはメモリ素子に面内磁化膜を用いず、垂直磁化膜を用いているため書きこみ線を磁気抵抗素子の上もしくは下に配置する必要がないためである。したがって、下部電極を厚くしても、書き込み線と磁性膜の距離を保つことができ記録磁界が低減したり、下部電極を薄くして配線の断線や、プロセス時の加工マージンが低減するといった、問題がなくなる。

【0032】

また、垂直磁化膜では、メモリ素子を小さくしても、反磁界の影響によって、スピンがカーリングすることがなく、安定に磁化を保存することができる。面内磁化膜を用いたメモリ素子と比較して、TMR素子の幅/長さの比が1にできるため、メモリセル面積が小さくできる。

【0033】

また、このメモリ素子においては、磁気抵抗膜がドレイン領域の直上に位置しているため、従来のメモリ素子のように、磁気抵抗膜と下部電極を別々にパターニングする必要がない。このため、従来のメモリ素子のように、磁気抵抗膜までエッチングし下部電極は残す必要がない。このため、エッチング停止位置のばらつきによる歩留まり低下の問題がない。

【0034】

また、磁気抵抗膜と下部電極の両方を削る部分と、下部電極は残す部分との選択が不要なため、マスク工程が減り、プロセスが簡素化される。

【0035】

本実施例における情報の記録は、第1、2磁性層の近傍に配置された書き込み線に電流を流し、それによって発生する磁界によって第1磁性層もしくは第2磁性層の磁化を反転させて行う。電流の方向によって、上向きもしくは下向きの磁界が発生し磁気抵抗膜の磁化の向きを磁界の方向にそろえることができる。書き込み線は、磁気抵抗膜の磁化容易軸方向に対して、つまり膜面垂直方向に磁界が印加されるように、配置する。つまり膜面と平行に電流が流れるように配置する。また書き込み線と磁気抵抗膜が電氣的に接続されるのを防ぐために書き込み線と磁気抵抗膜の間には絶縁膜が設けられる。これは、再生時に磁性薄膜素子に流す電流が書き込み線に洩れて再生信号が劣化することを防ぐなどのためである。

この際の実書き込み線と磁気抵抗膜の間隔は、長い場合は十分な磁界を印加することができず、短い場合は、書き込み線と磁気抵抗膜の間で絶縁破壊が生じたりトンネル電流が流れたりするので、少なくとも1nm以上500nm以下で、望ましくは、5nm以上100nm以下とするのがよい。

【0036】

また、メモリ素子をマトリックス状に配置すると、書き込み線近傍の磁気抵抗膜に同様に磁界がかかる。このため、上述したように、ビット線にも電流を流して、交差する磁気抵抗膜のみに大きな合成磁界がかかるようにして、特定のメモリセルを選択して記録を行なうようにする。

【0037】

(実施例 2)

図 4 に、本実施例で用いた本発明のメモリの他の構造例を示す。本実施例においては磁気抵抗素子として垂直磁化膜を用い、ソース電極を自己整合的に作成している。この作成プロセスは、まず、電界効果トランジスタのドレイン電極 13 およびソース電極 12 を、絶縁膜で覆われたゲート電極 4 とシャロートレンチアイソレーション領域 11 との間に自己整合的に形成して、CMP 等により平坦化処理をする。その後、前記ドレイン電極上に、 $\text{GdFe/Co/AlOx/Co/TbFe}$ からなる膜面垂直方向に磁化配向した積層膜からなる磁気抵抗膜を成膜して、パターニング後に絶縁膜を形成する。次いで、絶縁膜の一部を切削加工して、金属膜を埋め込み、CMP により平坦化処理を行う。次いで、磁気抵抗膜状の絶縁膜をエッチングして穴をあけ、センス線を埋め込み、絶縁膜からなる保護膜を形成する。

【 0 0 3 8 】

図 3 のデバイス構造においては、ドレイン領域 3 にプラグ電極 5 を立てるときに、位置合わせ時のずれが F (最小加工寸法) あるとすると、 $3F$ の幅を取る必要があり、ドレイン領域 3 の面積は、 $9 \times (F \text{ の自乗})$ が必要となる。これに対して、本実施例においては、ドレイン電極 13 は自己整合的に形成できるため位置合わせマージンが不要で、ドレイン領域 3 とドレイン電極 13 との位置あわせマージンは、原理的に 0 にでき、ドレイン領域 3 の面積を $1 \times (F \text{ の自乗})$ にすることができる。したがって、このメモリ素子においては、ドレイン領域の面積の中で、ドレイン電極が閉める面積を少なくとも 50% 以上にすることができ、メモリ素子の面積を小さくすることができ、よりセル面積を小さくすることができる。前述の面積比は、60% 以上が望ましく、さらに望ましくは 80~90% 以上にとすると素子をより小型化することができ、より望ましい。

【 0 0 3 9 】

(実施例 3)

図 5 に本実施例に用いた本発明のメモリ構造の断面図を示す。本実施例においては、ソース領域 2 が隣接のメモリ素子と共通化されている。この共通化されたソース領域 2 にソース電極 12 が設けられ、書き込み線 10 と一体化されている。このソース電極 12 と一体化した書き込み線 10 は、隣接する左右の磁気抵抗膜 9 のど

ちらにも磁界を印加することができるが、電界効果トランジスタの素子分離領域であるシャロートレンチアイソレーション領域11上に書き込み線10を新たに設け、記録しようとする磁気抵抗膜の両側の書き込み線に互いに逆方向の電流を流し、ビット線の電流磁界と合わせて磁界を印加すれば、マトリックス状に配置された多数のメモリセルから、特定のメモリセルにのみ書き込むことができる。ソース領域2を隣接セルと共通化すると、一つのメモリセルの横方向の幅を、 $3F$ (F は最小加工寸法)まで低減することが可能となり、メモリセルの面積を $6 \times (F$ の自乗)とすることができる。

【0040】

図6は、図5の構成のメモリセルをマトリックスに配置した場合の回路図を部分的に示したものである。磁気抵抗素子 $R21 \sim R73$ 、ビット線 $B1 \sim B3$ 、書き込み線 $W23 \sim W67$ 、ゲート線 $G3 \sim G6$ 、ソース電極線兼書き込み線 $SW34 \sim SW56$ 、電界効果トランジスタ $T31 \sim T63$ からなる。 $R21$ 、 $R22$ 、 $R23$ および、 $R71$ 、 $R72$ 、 $R73$ の磁気抵抗素子を含むメモリセルは、磁気抵抗素子以外は省略して示していない。図に示したように、本実施例のメモリ素子においては、一つのトランジスタと1つの磁気抵抗素子からなる1ビットのメモリ素子に対して、書き込み線0.5本、ゲート線1本、ビット線1本、ソース電極線兼書き込み線0.5本で、計3本の配線しか必要でない。

【0041】

図7は、本実施例のメモリを、実施例2に従って、ソース電極を自己整合的に作成した図である。図7においては、素子分離領域であるシャロートレンチアイソレーション領域11上の書き込み線10を領域11から離して設けてあるが、領域11に接して設けても良い。

【0042】

(実施例4)

図1に本実施例に用いた本発明のメモリ構造の断面図を示す。本実施例においては、磁気抵抗素子は面内方向に磁化した磁性膜を用いている。このような磁性膜として、第1磁性層、第2磁性層に、 $NiFe$ 、 Co 、 $CoFe$ を主に用いたものが挙げられる。たとえば、 $NiFe/CoFe/Al_2O_3/CoFe/R$

u / C o F e / P t M n などである。このうち P t M n は、反強磁性膜である。磁性膜の膜厚、非磁性層の材料、膜厚に関しては、実施例 1 に準ずる。面内方向に磁化した磁性膜を用いる場合には、磁界が面内方向に印加されるように書き込み線 1 0 は、磁性膜の下部の位置に配置する。

【 0 0 4 3 】

【発明の効果】

本発明のメモリ素子においては、メモリセル 1 個当たりの配線本数を減らして、デバイス構造を簡略化すること、および、それにより、メモリ駆動のスピードを上げることが可能となる。

【図面の簡単な説明】

【図 1】

本発明のメモリ素子の一例の断面図

【図 2】

図 1 の構成の本発明のメモリの回路構成を示す図

【図 3】

本発明のメモリ素子の一例の断面図

【図 4】

本発明のメモリ素子の一例の断面図

【図 5】

本発明のメモリ素子の一例の断面図

【図 6】

図 5 の構成の本発明のメモリの回路構成を示す図

【図 7】

本発明のメモリ素子の一例の断面図

【図 8】

従来例のメモリ素子の一例の断面図

【図 9】

図 8 の従来例のメモリ素子の回路構成を示す図

【図 1 0】

従来例のメモリ素子の一例の断面図

【図 1 1】

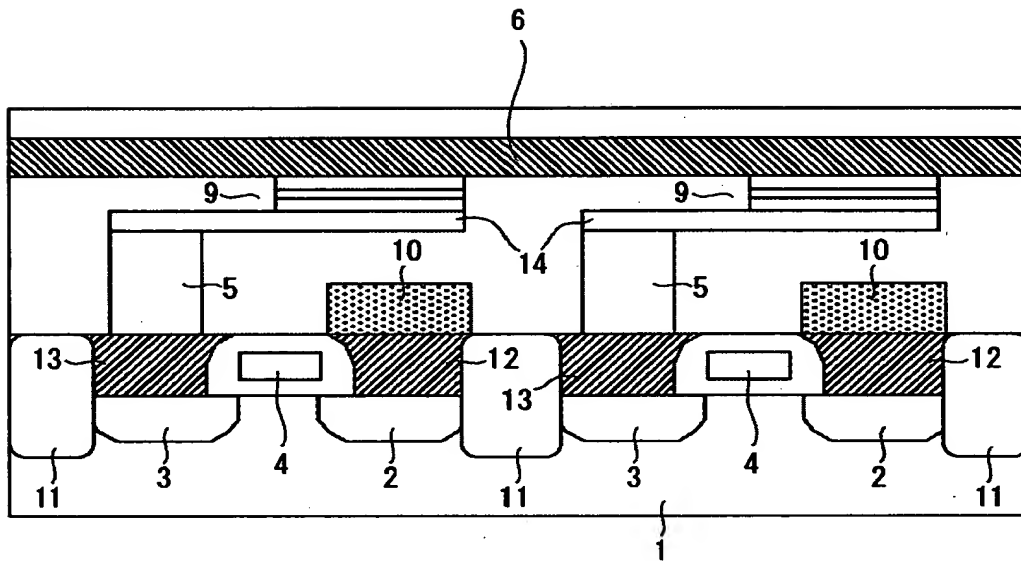
図 1 0 の従来例のメモリ素子の回路構成を示す図

【符号の説明】

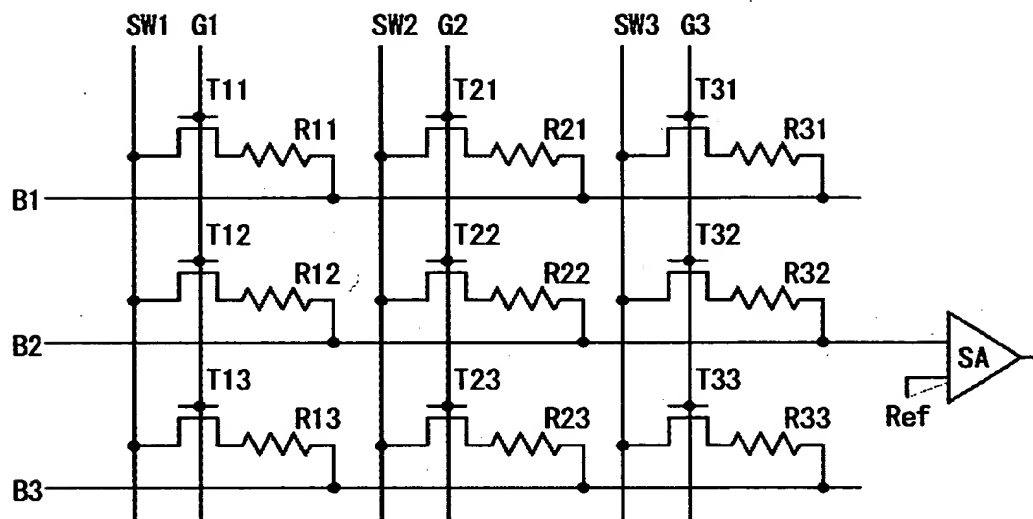
- 1 半導体基板
- 2 ソース
- 3 ドレイン
- 4 ゲート電極
- 5 プラグ
- 6 ビット線
- 7 プラグ
- 8 ワード線
- 9 磁気抵抗素子
- 1 0 書き込み線
- 1 1 シャロートレンチアイソレーション領域
- 1 2 ソース電極
- 1 3 ドレイン電極
- 1 4 下部電極
- R 1 1 ~ R 6 3 磁気抵抗素子
- T 1 1 ~ T 6 3 電界効果トランジスタ
- SW 1 ~ SW 3, SW 3 4, SW 5 6 ソース電極線
- G 1 ~ G 6 ゲート線
- W 1 ~ W 3, W 2 3, W 4 5, W 6 7 書きこみ線
- B 1 ~ B 3 ビット線

【書類名】 図面

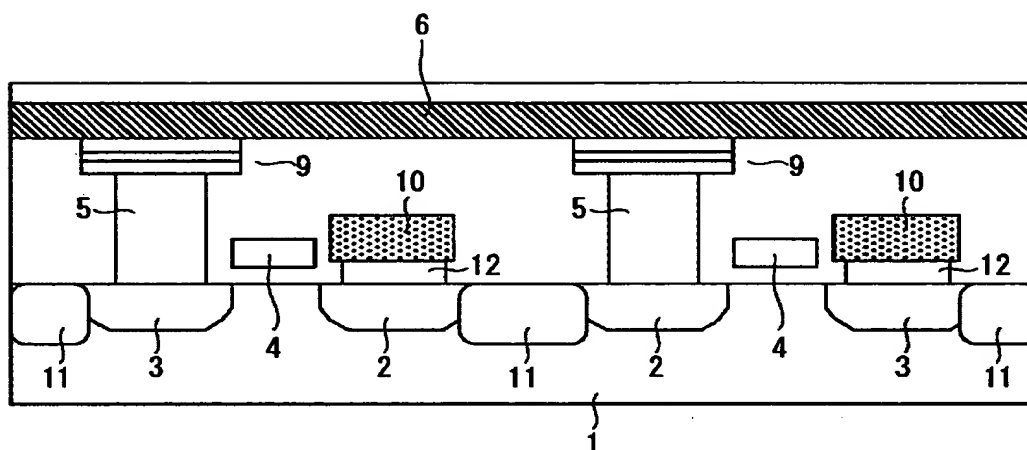
【図 1】



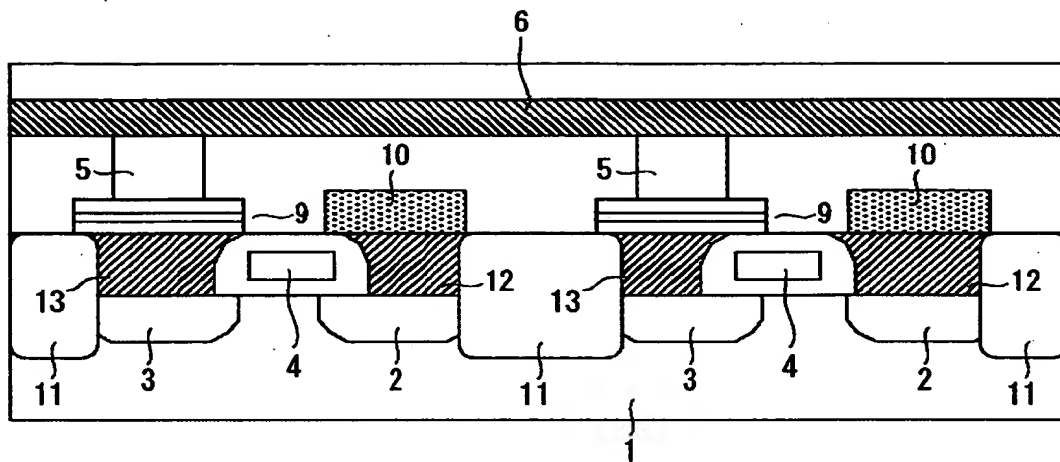
【図 2】



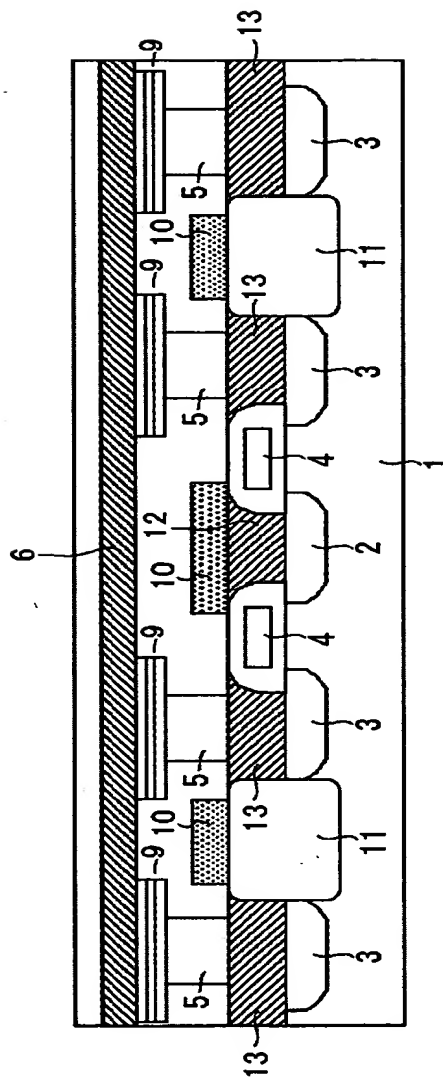
【図 3】



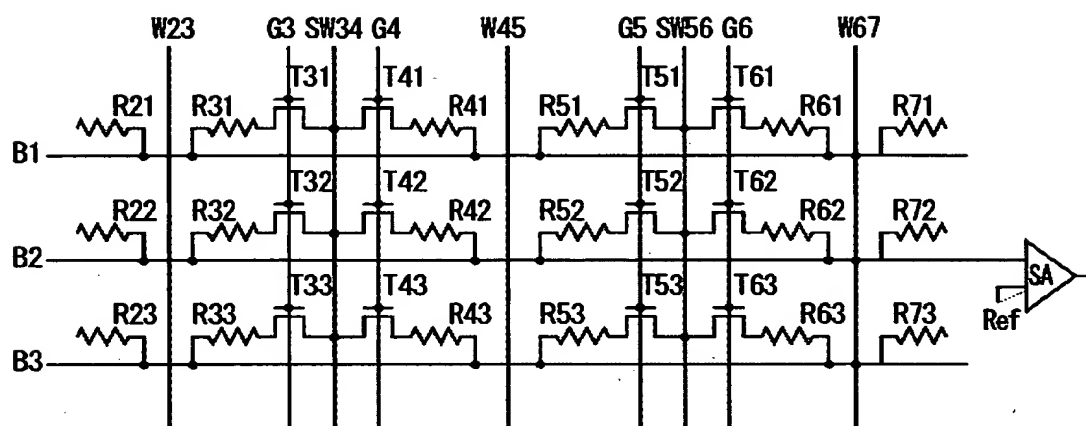
【図 4】



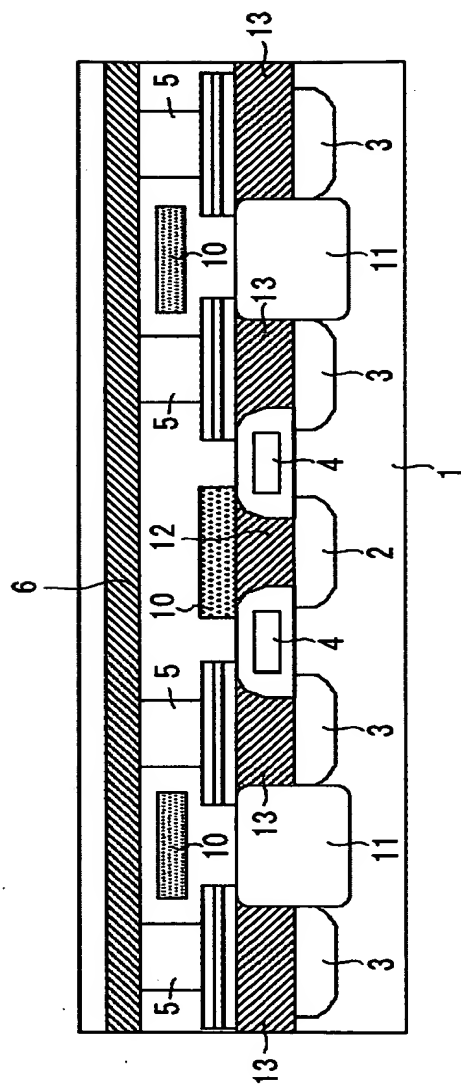
【図 5】



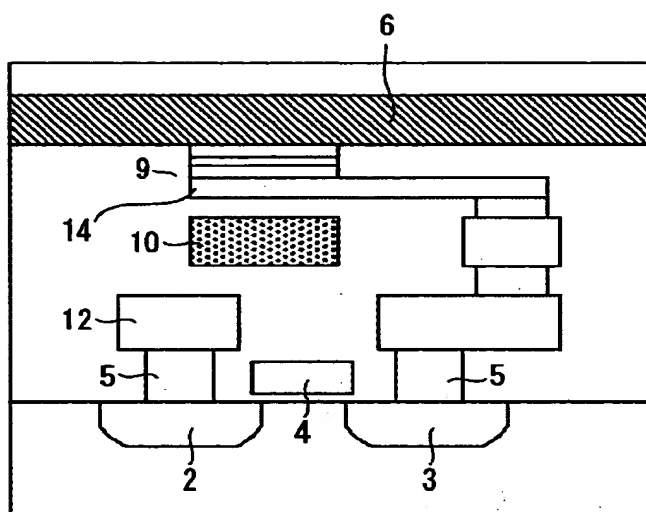
【図 6】



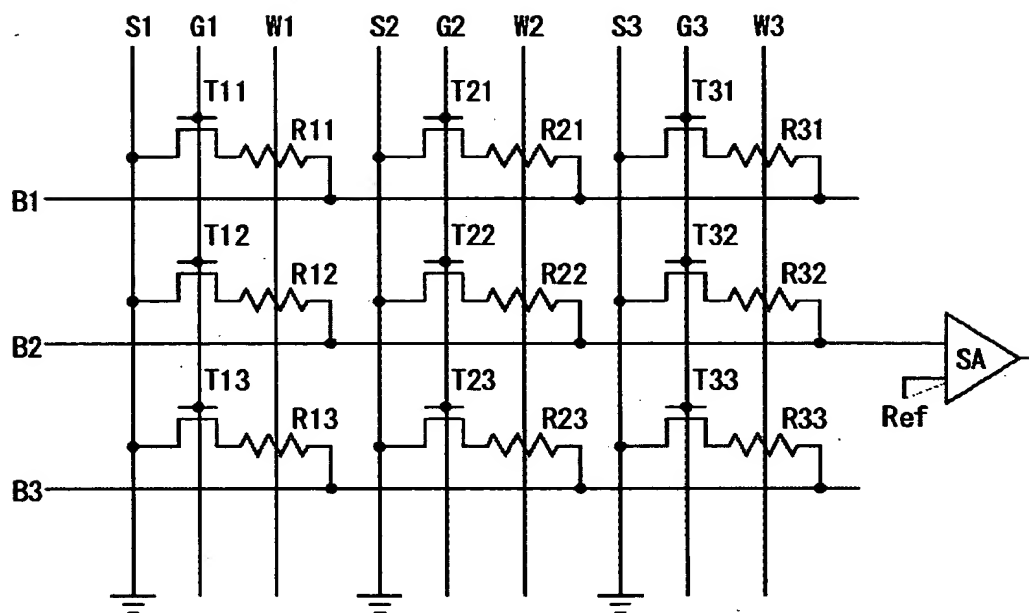
【図 7】



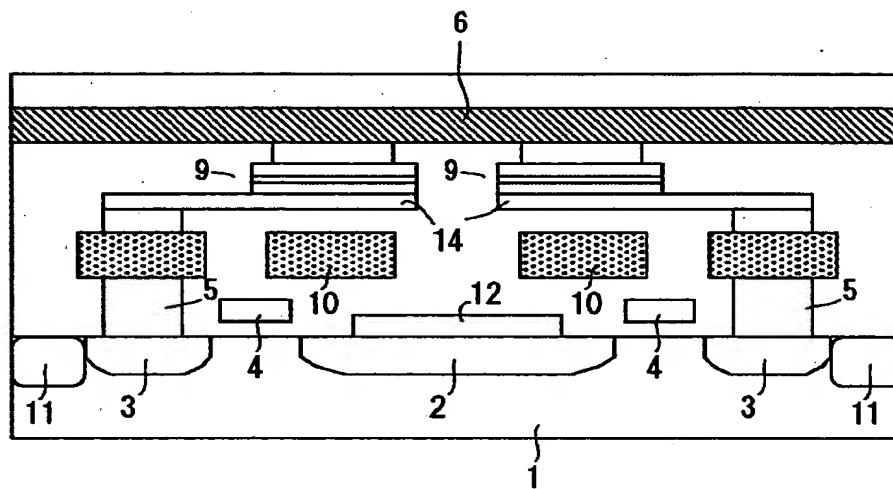
【図 8】



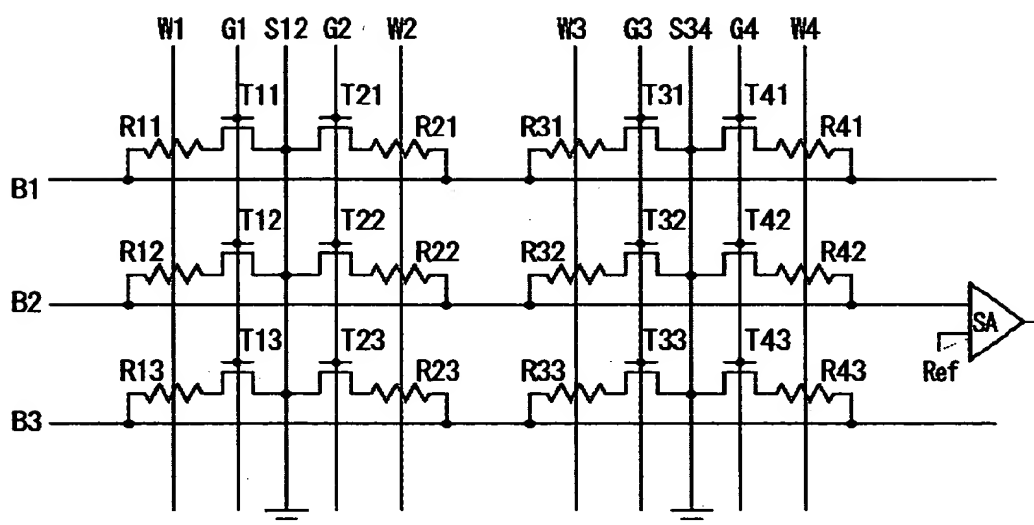
【図 9】



【図 1 0】



【図 1 1】



【書類名】 要約書

【要約】

【課題】 本発明は、メモリセル1個あたりの配線本数を減らして、デバイス構造を簡略化すること、及び、それによりメモリ駆動のスピードを上げることを目的とする。

【解決手段】 磁気抵抗素子と該磁気抵抗素子の上部に設けられたビット線と、該磁気抵抗素子の近傍に設けられた書き込み線と前記電界効果トランジスタのソース領域に接続されたソース電極が、少なくとも1本の前記書き込み線をかねることを特徴とするメモリ素子。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000001007]

1. 変更年月日	1990年 8月30日
[変更理由]	新規登録
住 所	東京都大田区下丸子3丁目30番2号
氏 名	キャノン株式会社